

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-013207

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G01R 31/26
G01R 1/073
H01R 33/76

(21)Application number : 11-182139

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.06.1999

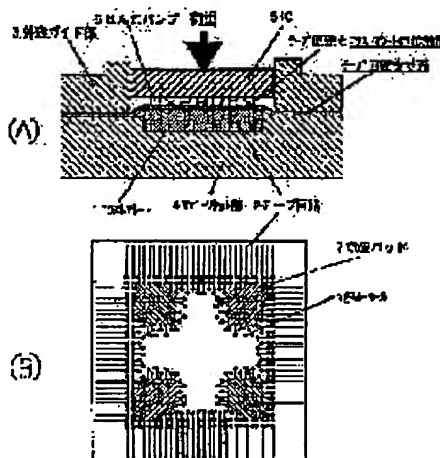
(72)Inventor : TANAKA TADAYOSHI
OTA HIROYUKI
MIURA HIDEO
ANJO ICHIRO
ARIMA HIDEO
HASEBE AKIO
YAMAMOTO KENICHI
MORINAGA KENICHIRO

(54) SOCKET FOR INSPECTING SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE INSPECTING METHOD, AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a socket for inspecting semiconductor elements capable of appropriately absorbing variations in the height of a plurality of external projection electrodes.

SOLUTION: In a tape circuit 2, electrode pads 7 are formed at locations corresponding to the arrangement of the solder bumps 6 of an IC 5. An elastomer sheet 1 is housed in a recess formed in a mother socket part 4 in an IC mounting part of the tape circuit 2 at which the electrode pads 7 are formed. The upper surface of the elastomer sheet 1 is constituted in such a way as to be higher than the location of the upper surface of the mother socket part 4. The contact surface between the tape circuit 2 and the elastomer sheet 1 is heightened approximately by 0.1 mm than a surface by which the tape circuit 2 is supported. As the tape circuit 2 is once deformed in the direction of loosening itself to maintain a loosened state to a certain load range when pressed from the side of a semiconductor element, it is possible to add load without increasing the tension of the tape circuit 2, to allow local deformation in the pad 7, and to absorb variations in height among the external projection electrodes 6 of the semiconductor element.



LEGAL STATUS

[Date of request for examination]

01.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3559725

[Date of registration] 28.05.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-13207

(P2001-13207A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.	識別記号	F I	テーマコード(参考)
G 0 1 R 31/26		G 0 1 R 31/26	J
1/073		1/073	B
H 0 1 R 33/76		H 0 1 R 33/76	

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平11-182139

(22) 出願日 平成11年6月28日 (1999.6.28)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田中 直敬

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 太田 裕之

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74) 代理人 100077816

弁理士 春日 誠

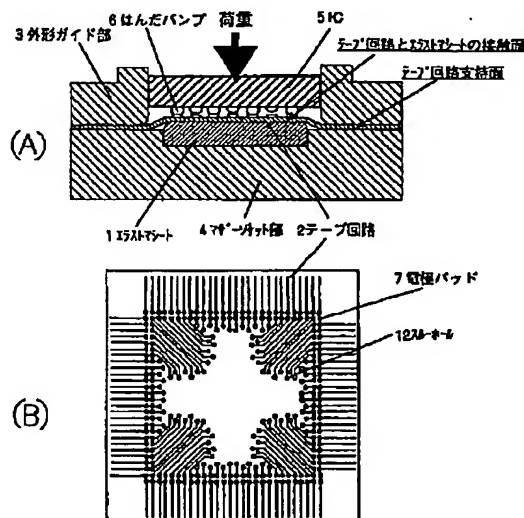
最終頁に続く

(54) 【発明の名称】 半導体素子検査用ソケット、半導体装置の検査方法及び製造方法

(57) 【要約】

【課題】複数の外部突起電極の高さバラツキを適切に吸収できる半導体素子検査用ソケットを実現する。

【解決手段】テープ回路2はIC5のはんだバンプ6の配置に対応した位置に電極パッド7が形成される。テープ回路2の電極パッド7が形成されたIC搭載部分にはマザーソケット部4に形成された凹部にエラストマシート1が収容される。エラストマシート1の上面はマザーソケット部4の上面位置より高くなる構成にする。テープ回路2とエラストマシート1との接触面をテープ回路2が支持されている面より0.1mm程度高くし半導体素子側から押圧すると、一旦、テープ回路2が弛む方向に変形し、ある荷重範囲まで弛んだ状態が維持されテープ回路2の張力を増加させることなく荷重を加えることができ、パッド7の局所的な変形を許容でき、半導体素子の外部突起電極6間の高さばらつきを吸収できる。



BEST AVAILABLE COPY

(2)

特開2001-13207

2

【特許請求の範囲】

【請求項1】半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、

上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小であることを特徴とする半導体素子検査用ソケット。

【請求項2】請求項1記載の半導体素子検査用ソケットにおいて、上記第2の距離は、上記第1の距離より、上記半導体素子の検査状態での押圧力に対するテープ回路面の平均的な沈み込み量の相当量分大であることを特徴とする半導体素子検査用ソケット。

【請求項3】半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、半導体素子が押圧され検査状態にある上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との距離より小であることを特徴とする半導体素子検査用ソケット。

【請求項4】半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、

上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小であり、かつ上記エラストマシートに穴または溝が形成されていることを特徴とする半導体素子検査用ソケット。

【請求項5】請求項4記載の半導体素子検査用ソケットにおいて、エラストマシートに形成された穴は、テープ回路上に形成された電極パッド位置に対向して形成されていることを特徴とする半導体素子検査用ソケット。

【請求項6】請求項4記載の半導体素子検査用ソケットにおいて、エラストマシートには同一ピッチで格子状に溝が形成されており、上記格子状に形成された溝の交点位置が上記テープ回路上に形成された各々の電極パッド領域の範囲内にあることを特徴とする半導体素子検査用ソケット。

【請求項7】半導体装置の検査方法において、半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小である半導体検査用ソケットを用い、

上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記テープ回路上の電極パッドと上記外部突起電極とを接触させて、上記半導体素子のバーンイン検査を行うことを特徴とする半導体装置の検査方法。

【請求項8】半導体装置の製造方法において、半導体素子本体の下面側に形成された複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを有し、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小である半導体検査用ソケットを用いて、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記テープ回路上の電極パッドと上記外部突起電極とを接触させ

(3)

特開2001-13207

3

て、半導体素子本体の下面側に複数の外部突起電極が形成された半導体装置を、上記半導体素子のバーンイン検査を行うバーンイン検査工程を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、素子の下面及び周囲にエリアアレイ状に電極を有するBGA (Ball Grid Array) 型半導体装置に係わり、特に電極間のピッチが0.5mm以下のファインピッチのBGA型半導体装置の検査に適した半導体素子検査用ソケットと、半導体装置の検査方法と、半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、ICパッケージの小型化を図るため、外部接続電極として半田パンプ等の突起電極を用いた構造のIC (例えば、BGA) が提供されるようになってきている。また、更なる小型化を図るため、この突起電極を有する半導体装置についても高密度化、高速化が要求されており、これに伴い電極間ピッチは更なる小

くなる傾向にある。

【0003】一方、製造されたICに対しては、所定の特性を要するか否かを試験するバーンイン試験等の特性試験が実施されるが、この試験時においてICはIC検査用ソケットに装着された状態で試験が実施される。従って、IC検査用ソケットもICの高密度、微細化に対応させる必要がある。また、突起電極単体の強度は高密度、微細化に伴い極端に減少してきているため、IC検査用ソケットに設けられたコンタクトピンを接触させても突起電極にダメージを与えないような構成にする必要がある。

【0004】このようなIC検査用ソケットのニーズに対応して、例えば特開平9-289028号公報に記載されている発明においては、有機材料から成るフローティング部材によって支持された金属製の弓型コンタクトピンを用いている。このコンタクトピンを用いることにより、コンタクトピンの弓型形状部分がフローティング部材とのストッパーとなって、はんだボール端子が耐熱試験等において軟化した場合でも、コンタクトピンの押し込み量を制御することではんだボールの変形を抑える構造となっている。

【0005】また、特開平10-69955号公報に記載されている発明においては、弾性部材によって支持された金属製の複数のコンタクトピンの径寸法を半田パンプに突き刺し可能な径寸法とし、その端部が半田パンプに突き刺されることにより電気的に接続することで半田パンプの変形を抑え、かつ良好なコンタクトが得られる構造となっている。

【0006】

【発明が解決しようとする課題】ところで、ICパッケ

4

ージの小型化への急速な進展に伴い、近い将来、IC検査用ソケットの電極ピッチは0.5mm以下に対応できるようにする必要がある。しかしながら、上述したIC検査用ソケットにあつては、金属製のコンタクトピンを用いることが前提であるため、ICのファインピッチ化に対してさらに微細なコンタクトピンを形成、設置する必要があり、コスト的にも技術的にも限界がある。

【0007】さらに、コンタクトピンを用いたソケット構造の場合、コンタクトピンが狭ピッチで配置されていると、直接検査用のベース基板へ取り付けることが困難であるため、一旦、中間基板で配線の再引き回しをした上で、さらにベース基板との接続用のピンを形成する必要があり、さらなるコスト増加の要因となる。

【0008】これに対して、図7に示すように、金属製のコンタクトピンを廃して、ICの外部電極配置に対応した電極パッドを有するテープ回路2と、テープ回路2及びマザーソケット4との間にエラストマシート1を配置したシートコンタクト方式のIC検査用ソケット構造が考案されており、その実用化に向けた検討が進められている。

【0009】IC検査用ソケット構造の概略を図7を用いて説明すると、ICソケット本体8とマザーソケット4との間にICの外部電極配置に対応した電極パッドを有するテープ回路2と、テープ回路2とマザーソケット4との間のIC搭載部分にエラストマシート1を配置した構成になっている。このエラストマシート1は、マザーソケット4の中央部に形成された凹部に收容される構造となっている。

【0010】検査対象となるIC5は、ICソケット本体8のガイドにしたがって挿入され、機械的な押し圧機構により、テープ回路2に形成された電極パッドにIC5の外部電極を押し当てることによって検査を行う。テープ回路2を用いたソケット構造の場合、電極パッドの狭ピッチ化、微細化が比較的容易である点、金属製のコンタクトピンに比べてコスト的にかなり安価である点、テープ回路2の部分以外の共通化が図れる点で、ファインピッチタイプICの検査用ソケット構造として有効である。

【0011】金属製のコンタクトピンを用いたソケット構造においては、各ピン位置が検査対象であるICの外部突起電極 (例えば、半田パンプ) からの押し圧に対して独立に上下方向に変形できるため、ICの隣接する外部突起電極間の高さばらつきを吸収しやすい。

【0012】これに対して、テープ回路2を用いたシートコンタクト方式のソケット構造においては、検査対象であるIC5の外部突起電極からの押し圧に対してテープ回路面が連続的に変形するため、IC5の隣接する外部突起電極間の高さばらつきを吸収しにくい。

【0013】そこで、テープ回路2のIC5搭載 (挿入) 部分に対応する部分にエラストマシート1を凹部に

5

収容して配置し、IC5の外部突起電極からの押し圧によって生じたエラストマシート1の局所的な変形が、外部突起電極の高さが低く、押し圧を受けていないテープ回路2上の電極パッド領域へ逃げることで高さばらつきを吸収できるようにしている。

【0014】しかしながら、テープ回路2に比べてエラストマシート1の剛性が低いために、押し圧によって生じたエラストマシート1の変形がほとんど面外方向に逃げてしまい、かつ押し圧を受けていない領域についてもテープ回路2の張力によってつられてエラストマシート1も、外部突起電極に対して凹状に変形し、結果として検査対象であるICの外部突起電極間の高さばらつきをあまり吸収できないという問題がある。

【0015】このような問題に対して、特開平7-263504号公報に記載されている発明においては、テープ回路上に形成された電極（接触）パッド面に、検査対象であるICの外部電極の高さバラツキに対して均一にコンタクトできるように、検査装置全体を外界の気圧に対して減圧された雰囲気にし、大気圧によってテープ回路面を均一に押し圧できる方法を提供している。

【0016】しかしながら、外気圧に対して減圧された雰囲気を維持するには大規模な新規設備が必要となり、検査コストが上昇するという問題がある。

【0017】また、特開平9-153528号公報に記載されている発明にあつては、ウエハレベルでテストを行うプローブカードデバイスにおいて、メンブレンタイプといわれる膜部材のプローブカード裏面に配置されたエラストマシートに切り込みを形成することにより区画された接触パンプ群に対応する独立した押し圧エリアに構成しても、エラストマシートの上面に配置されたプローブカードは連続体として変形するため、その独立変形効果は小さい。このため、本発明の課題であるんだパンプのような30μmを超える高さバラツキを吸収する観点からその効果は十分ではない。

【0018】したがって、ICの外部電極のファインピッチ化に対して検査コストを安く抑えるためには、上記した従来の機械的な押し圧機構を採用したシートコンタクト方式のソケット構造において、ICの外部電極の高さバラツキを十分に吸収できる方法（構造）を開発する必要がある。

【0019】なお、特開昭61-259470号公報には、半導体チップの電気的テストを行うための電気ソケットが開示されている。この公報に記載されたものは、マザーソケットに対応する剛性基板と半導体チップとの間に可撓性のリード台及び弾性変形層が配置されているが、この弾性変形層は、平面状の剛性基板に単に配置されている。このため、上述した検査用ソケット構造のように、凹部にエラストマシートが収容される構造とはなっており、上述のような課題は生じないものである。

【0020】本発明の目的は、複数の外部突起電極の高

(4)

特開2001-13207

6

さバラツキを適切に吸収できる半導体素子検査用ソケット、この検査用ソケットを用いた半導体装置の検査方法及び製造方法を実現することである。

【0021】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成される。

(1) 半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に収容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押し圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小である。

【0022】(2) 好ましくは、上記(2)において、上記第2の距離は、上記第1の距離より、上記半導体素子の検査状態での押し圧力に対するテープ回路面の平均的な沈み込み量の相当量分大である。

【0023】(3) 半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に収容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押し圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、半導体素子が押し圧され検査状態にある上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との距離より小である。

【0024】(4) 半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に収容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体

7

素子を押圧することによって、上記半導体素子の検査を行う半導体素子検査用ソケットにおいて、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小であり、かつ上記エラストマシートに穴または溝が形成されている。

【0025】(5) 好ましくは、上記(4)において、エラストマシートに形成された穴は、テープ回路上に形成された電極パッド位置に対向して形成されている。

【0026】(6) また、好ましくは、上記(4)において、エラストマシートには同一ピッチで格子状に溝が形成されており、上記格子状に形成された溝の交点位置が上記テープ回路上に形成された各々の電極パッド領域の範囲内にある。

【0027】(7) 半導体装置の検査方法において、半導体素子本体の下面側に複数の外部突起電極を有する半導体素子の検査に用いられ、上記複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを備え、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小である半導体検査用ソケットを用い、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記テープ回路上の電極パッドと上記外部突起電極とを接触させて、上記半導体素子のバーンイン検査を行う。

【0028】(8) 半導体装置の製造方法において、半導体素子本体の下面側に形成された複数の外部突起電極に接触する複数の電極パッドを有するテープ回路と、このテープ回路を支持し、その上面に凹部を有するマザーソケットと、このマザーソケットの凹部に收容され、上記テープ回路と上記マザーソケットとの間に配置されるエラストマシートとを有し、上記テープ回路と上記エラストマシートとの接触面の位置と上記半導体素子本体の下面との第1の距離が、上記テープ回路と上記マザーソケットとの接触面の位置と上記半導体素子本体の下面との第2の距離より小である半導体検査用ソケットを用いて、上記テープ回路上の電極パッドと上記外部突起電極とが対向するように半導体素子を上記テープ回路に搭載し、半導体素子を押圧することによって、上記テープ回路上の電極パッドと上記外部突起電極とを接触させて、半導体素子本体の下面側に複数の外部突起電極が形成された半導体装置を、上記半導体素子のバーンイン検査を行うバーンイン検査工程を備える。

(5)

特開2001-13207

8

【0029】つまり、本発明では、金属製のコンタクトピンを廃して、ICの外部突起電極配置に対応した電極(接触)パッドを有するテープ回路と、テープ回路とマザーソケットとの間にエラストマシートを配置したIC検査用ソケット構造において、①半導体側からの機械的な押し圧機構により検査を行う場合に、テープ回路がマザーソケットに固定されている面より、テープ回路がエラストマシートと接触している面を高くする。

【0030】②上記①との組み合わせにおいて、エラストマシート上に穴(孔)または格子状の溝を形成し、テープ回路上に形成された電極(接触)パッド位置と穴(孔)位置を対応させる。または格子状に形成された溝の交点位置を、各々の電極(接触)パッド領域の範囲内に対応させる。

【0031】エラストマシートとの接触面を、テープ回路が支持されている面より0.1mm程度高くし、半導体素子側から押し圧をかけると、一旦テープ回路が弛む(圧縮ひずみ)方向に変形して、ある荷重範囲まで弛んだ状態が維持される。

【0032】したがって、上述した①によれば、テープ回路の張力を増加させることなく荷重を加えていくことが可能となるため、テープ回路上に形成された電極(接触)パッドの局所的な変形を許容でき、半導体素子の外部突起電極間の高さばらつきを吸収するのに有効である。

【0033】さらに、上述した②によれば、エラストマシートの、テープ回路上に形成された電極(接触)パッドに対応する位置に穴(孔)を形成、又は、格子状の溝を形成してその交点位置を上記パッドと対応させることにより、各電極(接触)パッド位置における局所的な剛性が大幅に低下するため、上記①と組み合わせることにより、テープ回路上の電極(接触)パッド部分の局所的な変形がより低荷重で許容され、従来よりも低荷重で高さバラツキ吸収量の改善が可能となる。

【0034】ただし、テープ回路の沈み込みによってテープ回路の張力が増加し、電極(接触)パッド部分の局所的な変形が許容されにくくなると、エラストマシートの形状効果がでにくくなるため、①と組み合わせて行うことが必要である。この際、エラストマシートに形成する穴(孔)は、その目的から必然ではあるが、テープ回路上に形成された各々の電極(接触)パッドと同位置に形成する。あるいは、エラストマシートに形成する溝は、少なくともテープ回路上に形成された電極(接触)パッドピッチと同一ピッチで格子状に形成され、その各々の交点位置がテープ回路上の各々の電極(接触)パッド形成領域の範囲内に収まるよう、テープ回路とエラストマシートの位置関係を設定する。

【0035】

【発明の実施の形態】図1は本発明の第1の実施形態に関わる半導体素子検査用ソケットを示す図であり、図1

(6)

特開2001-13207

9

10

の(A)はIC挿入部の概略断面図であり、図1の(B)はテープ回路2の平面図である。なお、この第1の実施形態において、図示していない他の構成部分は、図7に示した例と同様であるため、図示及び詳細な説明は省略する。

【0036】図1において、テープ回路2は、検査対象であるIC5の外部電極であるはんだバンプ6(半導体素子本体の下面側に複数の外部突起電極)の配置位置に対応した位置に電極(接触)パッド7が形成される。テープ回路2は耐熱性に優れたポリイミド系の材料を基材とし、テープ上に形成された電極(接触)パッド7の表面には、検査対象であるIC5の外部電極である半田バンプ6との接触抵抗を安定に保つため、種々の凹凸形状がめっき等により形成され、酸化膜を擦り取る役割を果たしている。

【0037】テープ回路2上の電極(接触)パッド7を含む配線パターンはエッチングプロセスかメッキプロセスを用いて形成され、配線材料には電解銅箔か圧延銅箔が用いられる。図1中のテープ回路2は周辺2列配置のはんだバンプ構成のICを想定したテープ回路を示しており、外周側の電極パッドは表層から引き出され、内周側の電極(接触)パッドはスルーホール12を介してテープ回路裏面から引き出された2層配線構造である。

【0038】1層配線構造の場合、電極(接触)パッド間に配線が引き回されるため、狭ピッチ構造ではパッド/配線間でのショートが懸念される。テープ回路2の電極(接触)パッド7が形成されたIC搭載(挿入)部分には、マザーソケット部4に形成された凹部にエラストマシート1が収容され、配置される。エラストマシート1の材質としては、バーンイン試験を想定して、耐熱性に優れたシリコンゴムをベースとした絶縁性の材料であることが望ましい。

【0039】また、エラストマシート1の厚さは、被検査対象であるIC5のはんだバンプ6の搭載領域のマクロな反りを吸収できる厚さが必要であるが、逆に厚すぎると、テープ回路2とエラストマシート1の干渉によって高さバラツキ吸収量に位置依存性がでてしまう。そのため、その両方のバランスを考慮すると、0.3mm程度の厚さにするのが望ましいといえる。

【0040】配置されたエラストマシート1の上面は、テープ回路2が支持されるマザーソケット4の上面より高く、テープ回路2を取り付けた際、テープ回路2とエラストマシート1との接触面が、マザーソケット部4の上面位置より高く、テープ回路2とエラストマシート1との接触面以外のその周囲の部分より高くなる構成にする。つまり、テープ回路2とエラストマシート1との接触面の位置と半導体素子本体の下面との第1の距離が、テープ回路2とマザーソケット4との接触面の位置と半導体素子本体の下面との第2の距離より小である。

【0041】または、上記第2の距離は、上記第1の距離より、上記半導体素子の検査状態での押圧力に対するテープ回路面の平均的な沈み込み量の相当量分大となるように構成される。

【0042】上記周囲に対する高さの設定値は、テープ回路2の下面に配置するエラストマシート1の厚さや硬さ、および検査対象であるIC5の外部電極数により異なってくるが、例えば200~300ピン程度のICを検査する場合には、0.1~0.15mm程度高くするのがよい。

【0043】外部電極(ここでは半田バンプ6)を有するIC5は、テープ回路2上に形成された電極(接触)パッド7の位置に外形ガイド部3に沿って挿入され、IC5側から押し圧(荷重)を受けることによって検査が実施される。なお、本発明の実施の形態においては一個のIC5に対して一個のソケットという構成となっているが、テープ回路2をマトリックス上に形成することにより、一個のソケットに対し十数個のIC5を一括で検査することも可能である。

【0044】図2は、本発明と従来技術とを比較するための図であり、図2の(A)は、検査により荷重を受けたとき、テープ回路2とエラストマシート1との接触面がマザーソケット部4の上面位置より低くなる場合の例の断面図である。また、図2の(B)は、テープ回路2上に形成された電極(接触)パッド位置のテープ回路裏面に歪みゲージを添付し、半導体素子をテープ回路2に押し付けた時の荷重とテープ回路2の歪み(張力)変化を測定した結果の一例の図である。

【0045】図2に示すように、荷重を受けていない状態で、テープ回路2がマザーソケット部4に固定されている面と、テープ回路2がエラストマシート1と接触している面とが同一高さである場合、搭載された半導体素子側から押し圧をかけると、テープ回路2の部分が沈み込み、荷重が高くなるほどテープ回路2の歪み(張力)が増加するのがわかる。

【0046】これに対して、本発明の実施形態のように、テープ回路2とエラストマシート1との接触面を、テープ回路2が支持されている面より0.1mm程度高くし、半導体素子側から押し圧をかけると、一旦、テープ回路2が弛む(圧縮ひずみ)方向に変形して、ある荷重範囲まで弛んだ状態が維持されるのがわかる。

【0047】したがって、図1に示した本発明の一実施形態によれば、テープ回路2の張力を増加させることなく荷重を加えていくことが可能となるため、テープ回路2上に形成された電極(接触)パッド7の局所的な変形を許容でき、半導体素子の外部突起電極6間の高さばらつきを吸収するのに有効である。

【0048】図3は、外部電極が200ピンクラスのICを用いて、エラストマシート1の各仕様における、テープ回路2上のパッド面の荷重に対する沈み込み量を測

11

定した結果を示すグラフである。高温におけるバーンイン試験では、外部電極であるパッド6の軟化による溶れの問題があるため、1パッド当たり20g以下に荷重を抑える必要がある。

【0049】その際の電極（接触）パッド面の沈み込み量はエラストマシート1の仕様によって若干異なるものの、おおよそ0.1～0.15mmの範囲内にあることがわかる。テープ回路2上の電極（接触）パッド面が押し付け荷重によって周囲の高さとほぼ面一になるか若干高い位置にあるように設計してやれば、テープ回路2の張力増加を抑えることができるため、エラストマシート1の初期の高さを0.1～0.15mmにするのが適当である。

【0050】したがって、基本的な設計思想としては、所定の押し付け荷重に対するマクロ（平均的）な沈み込み量の相当量分だけテープ回路2が支持されている面より、テープ回路2とエラストマシート1との接触面位置を高くすればよい。

【0051】以上のように、本発明の第1の実施形態によれば、エラストマシート1の上面が、テープ回路2が支持されるマザーソケット4の上面より高く、テープ回路2を取り付けた際、テープ回路2とエラストマシート1との接触面がマザーソケット部4の上面位置より高く、テープ回路2とエラストマシート1との接触面の周囲の部分より高くなるように構成されているので、複数の外部突起電極の高さバラツキを適切に吸収できる半導体素子検査用ソケットを実現することができるとともに、この検査用ソケットを用いた半導体装置の検査方法を実現することができる。

【0052】図4は、本発明の第2の実施形態に関わる半導体素子検査用ソケットを示す図であり、図4の

(A)はIC挿入部の要部断面を示し、図4の(B)はエラストマシート1の概略構成を示す。この第2の実施形態の基本的な構成は、上述した第1の実施形態と同様であり、エラストマシート1の上面は、テープ回路2が支持されるマザーソケット4の上面より高くして、テープ回路2を取り付けた際、テープ回路2とエラストマシート1との接触面が周囲に対して高くなる構成にする。この第2の実施形態においては、エラストマシート1の高さについても、第1の実施形態に準ずるものとする。

【0053】エラストマシート1にはテープ回路1に形成された電極（接触）パッド7に対応する位置に穴（孔）9が形成され、テープ回路2に形成された電極（接触）パッド7の直下にエラストマシート1に形成された穴（孔）9が対応するようにエラストマシート1を配置する。

【0054】テープ回路2に接触する部分の穴（孔）9の大きさは、テープ回路2に形成された電極（接触）パッド7の直径より若干小さくするのが望ましい。穴（孔）径が電極（接触）パッド7より大きいと、電極

(7)

特開2001-13207

12

（接触）パッド7から引き出された配線部が穴（孔）9との境界となるため、テープ回路2に検査用IC5を押し付けた際のテープ回路2の局所的な変形で配線部を断線させる可能性があるからである。

【0055】エラストマシート1の穴（孔）9は、レーザ（炭酸ガスレーザ）加工により各種ICの外部電極配置に対応したエラストマシート1を容易に形成することができる。外形ガイド3には、テープ回路2上の電極（接触）パッド7領域の初期の平坦度を確保するため、エラストマシート1の端部に外形ガイド3の逃げ部分10を形成し、エラストマシート1の端部における外径ガイド3によるテープ回路2の拘束を防止する。

【0056】外部電極（ここでは半田パッド6）を有するIC5はテープ回路2上に形成された電極（接触）パッド7の位置に外形ガイド3に沿って挿入され、IC5側から押し圧を受けることによって検査が実施される。

【0057】この第2の実施形態においても、上述した第1の実施形態と同様な効果を得ることができる。

【0058】図5は、本発明の第3の実施形態に関わる半導体素子検査用ソケットを示す図であり、図5の

(A)はIC挿入部の要部断面を示し、図5の(B)はエラストマシート1の概略構成を示す。この第3の実施形態の基本的な構成は、上述した第1の実施形態と同様であり、エラストマシート1の上面は、テープ回路2が支持されるマザーソケット4の上面より高くして、テープ回路2を取り付けた際、テープ回路2とエラストマシート1との接触面が周囲に対して高くなる構成にする。この第3の実施形態においても、エラストマシート1の高さについても、第1の実施形態に準ずるものとする。

【0059】エラストマシート1にはテープ回路2に形成された電極（接触）パッド7のピッチと少なくとも同一ピッチで格子状に溝11が形成され、テープ回路2に形成された電極（接触）パッド7の領域内の直下にエラストマシート1に形成された格子状の溝11の交点が対応するようにエラストマシート1を配置する。

【0060】エラストマシート1上に形成された溝11は、テープ回路2と接触する側に形成するものとし、溝11の幅は、先に示したテープ回路2上の電極（接触）パッド7面のマクロな沈み込み量が0.1～0.15mmであることと、エラストマシート1のポアソン比が0.5に近いことを勘案して、エラストマシート1の分割された各々の部分が変形によって干渉しないためには最低でも0.05mm程度は必要である。

【0061】エラストマシート1の溝11も、レーザ（炭酸ガスレーザ）加工により行うのが望ましい。外形ガイド8には、テープ回路2上の電極（接触）パッド7の領域の初期の平坦度を確保するため、エラストマシート1の端部に外径ガイド3の逃げ部分10を形成し、エラストマシート1の端部におけるテープ回路2の拘束を防止する。

13

【0062】外部電極（ここでは半田バンプ6）を有したIC5はテープ回路2上に形成された電極（接触）パッド7の位置に外形ガイド8に沿って挿入され、IC5側から押し圧を受けることによって検査が実施される。

【0063】この第3の実施形態においても、上述した第1の実施形態と同様な効果を得ることができる。

【0064】なお、本発明の第3の実施形態においては、格子状に形成した溝11の交点位置を、テープ回路2上の電極（接触）パッド7の領域内に対応させることとしたが、その交点位置が電極（接触）パッド7の領域内から外れた構成であっても、その効果が減少するだけであって本発明の形態に含まれるものである。

【0065】さらに、上述した第2及び第3の実施形態において、テープ回路2上の電極（接触）パッド7の部分の局所的な剛性低下を目的として、穴（孔）または格子状の溝を形成することとしたが、その目的が電極（接触）パッド7の部分の局所的な剛性を低下させる目的において同等であるならば、その形状が如何であっても本発明の形態に含まれるものである。

【0066】本発明の第3の実施形態においては、その量産性、加工性およびコストを勘案して、穴（孔）あるいは溝形状を採用している。

【0067】図6は、本発明によるIC検査用ソケットを用いて検査され、出荷される半導体装置の製造方法を示すフローチャートである。図6において、前工程において製造された製品ウエハはP検（Pellet検査）により初期の不良選別工程100が行われる。

【0068】この不良選別工程100に続いて、ウエハのダイシング工程101を行い、良品チップのみをCSP（Chip Size Package）やBGA（Ball Grid Array）等、外部電極にはんだボールを二次元配置したパッケージング構造に製造する製造工程102が行われる。あるいは、工程100に続いてウエハ上で一括で配線パターンや保護膜の形成、はんだボール付けまでを行う工程103を実行し、最後にダイシング工程104により分割されたパージ構造に製造される。

【0069】個々に分割された最終形状の製品は、本発明によるIC検査用ソケットによりバーンイン検査にかけられ最終選別がなされる工程105が行われる。IC検査用ソケットは、マザーソケット部分がメインボードに複数個取り付けられる。これが一単位の検査用ボードとなり、個々のIC検査用ソケットのガイドに沿って検査対象であるICが一括で複数個挿入される。弾性バネを内蔵した押し圧部により、ICの外部電極（はんだバンプ等）がテープ回路上の接触パッドに押し付けられ、125℃～150℃の環境下でバーンイン検査（高温動作試験）が実施される。

【0070】本発明の第1～第3の実施形態に関わるIC検査用ソケットによれば、1ピン当たりの押し付け荷

(8)

特開2001-13207

14

重が0.2N以下であっても30μm以上の外部電極（はんだバンプ等）の高さバラツキ吸収が可能である。したがって、狭ピッチ化に対応した例えば直径0.3mm以下の微小なはんだバンプにおいても、バーンイン検査環境下ではんだバンプの潰れを小さく抑えることができる。

【0071】さらに、検査対象であるICの設計において、はんだバンプの高さバラツキの要因となるはんだボール自体の直径許容差やはんだが濡れる部分のパッド径の許容差を緩和することができ、検査対象であるICの低コスト化にも寄与できる。1～3の実施の形態に関わるIC検査用ソケットにより行われたバーンイン検査により、動作特性がNGとなったものが選別され、良品として残ったものが製品として出荷される。

【0072】最終選別された製品の外部電極がはんだバンプである場合、金属製のコンタクトピンによるバンプ下面の差込痕や側面の削れ等は発生せず、テープ回路上の電極パッドに形成された接触端子による0.01mm以下の接触端子形状にならった圧痕が残るだけである。

【0073】以上のように、本発明によれば、複数の外部突起電極の高さバラツキを適切に吸収できる半導体素子検査用ソケットを用いた半導体装置の製造方法を実現することができる。

【0074】

【発明の効果】以上説明したように、本発明に係るIC検査用ソケットによれば、テープ回路を用いた低コストなソケット構造において、ICの隣接する外部突起電極の高さばらつき吸収に優れ、それに伴い更なる低荷重での検査が可能となり、今後のICの更なる微細化、高密度化に対応しうる検査技術を確立できる。

【0075】つまり、複数の外部突起電極の高さバラツキを適切に吸収できる半導体素子検査用ソケットを実現することができる。

【0076】また、上記検査用ソケットを用いた半導体装置の検査方法及び製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に関わる半導体素子検査用ソケットの断面図である。

【図2】本発明と従来技術とを比較するための図である。

【図3】エラストマシート of 各仕様におけるテープ回路上のパッド面の荷重に対する沈み込み量を測定した結果を示すグラフである。

【図4】本発明の第2の実施形態に関わる半導体素子検査用ソケットを示す図である。

【図5】本発明の第3の実施形態に関わる半導体素子検査用ソケットを示す図である。

【図6】本発明によるIC検査用ソケットを用いて検査され、出荷される半導体装置の製造方法を示すフローチャートである。

(9)

特開2001-13207

15

16

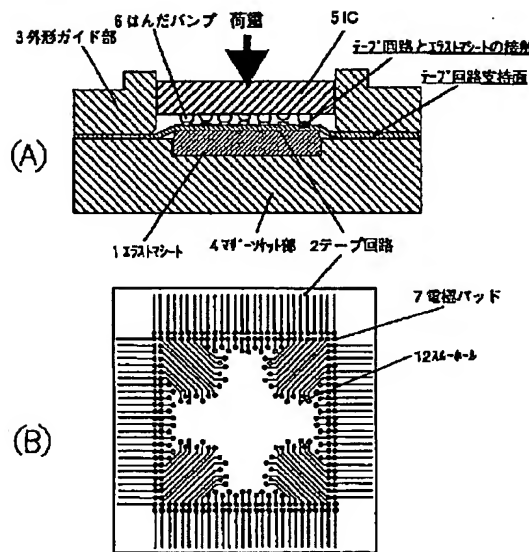
【図7】シートコンタクト方式のIC検査用ソケット構造の分解斜視図である。

【符号の説明】

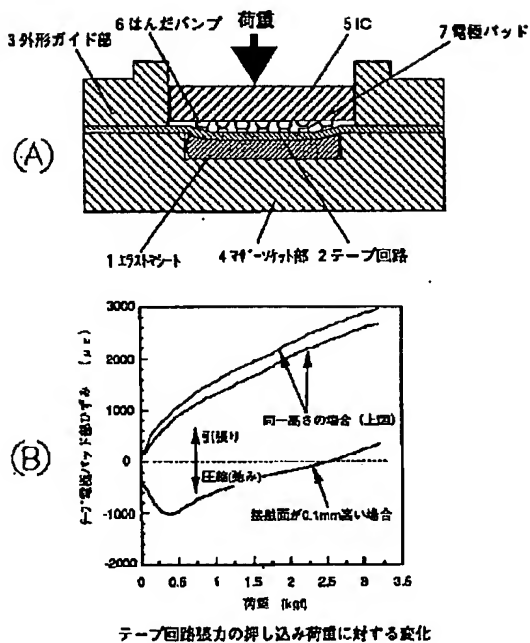
- 1 エラストマシート
- 2 テープ回路
- 3 外形ガイド部
- 4 マザーソケット
- 5 IC

- 6 半田バンプ
- 7 電極パッド
- 8 ICソケット本体
- 9 穴(孔)
- 10 外形ガイド逃げ部
- 11 溝
- 12 スルーホール

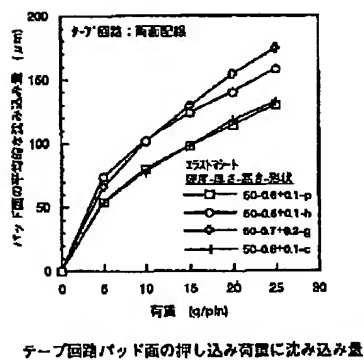
【図1】



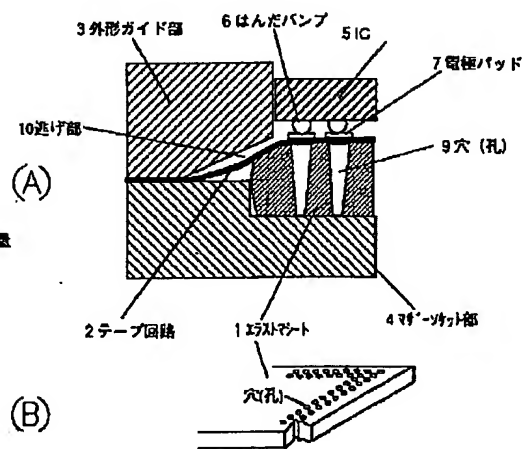
【図2】



【図3】



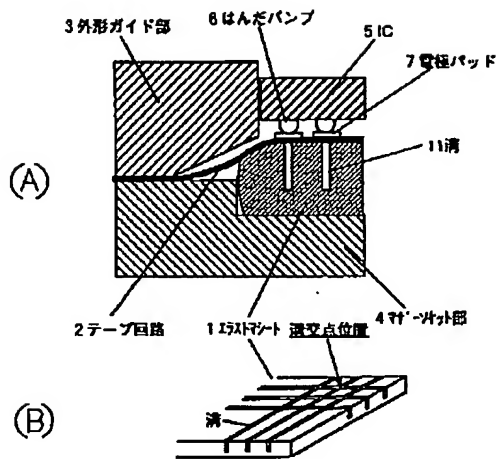
【図4】



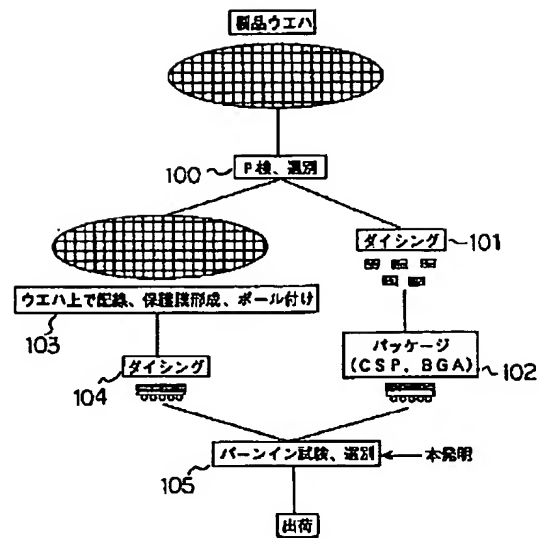
(10)

特開2001-13207

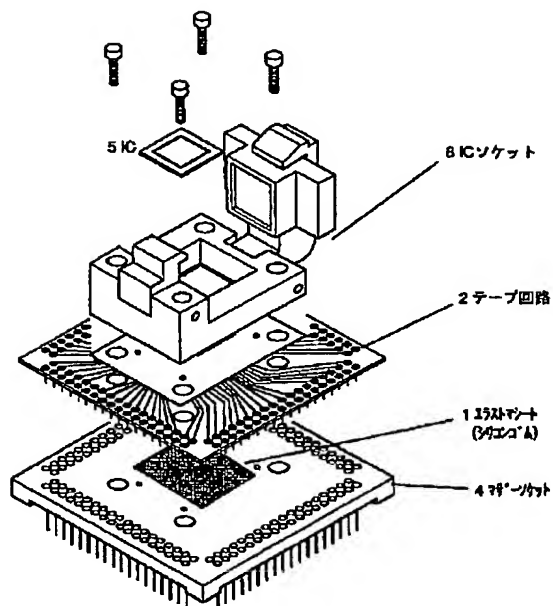
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 三浦 英生
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72) 発明者 安生 一郎
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体グループ内

(11)

特開2001-13207

(72)発明者 有馬 英夫
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体グループ内
(72)発明者 長谷部 昭男
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体グループ内

(72)発明者 山本 健一
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体グループ内
(72)発明者 森永 賢一郎
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体グループ内